

[Previous Doc](#)[Next Doc](#)  
[First Hit](#)[Go to Doc#](#)

Generate Collection

L1: Entry 13 of 14

File: JPAB

Apr 8, 1982

PUB-NO: JP357058355A

DOCUMENT-IDENTIFIER: JP 57058355 A

TITLE: HORIZONTAL TYPE TRANSISTOR

PUBN-DATE: April 8, 1982

## INVENTOR-INFORMATION:

NAME

COUNTRY

HARA, SOTOMITSU

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP55131676

APPL-DATE: September 24, 1980

US-CL-CURRENT: 257/494; 257/630, 257/E29.173

INT-CL (IPC): H01L 29/72; H01L 29/08

## ABSTRACT:

PURPOSE: To obtain approximately twice the circumferential length of an emitter as well as to sharply reduce the base resistance for the subject transistor by a method wherein a concentric annular P type emitter is provided on the inner side of an annular collector and a P type collector is provided inside the P type emitter.

CONSTITUTION: An N+ base connection layer 6, the first P+ type collector 3, an emitter 7 and the second collector 8 are provided in concentric annulation on the N epitaxial layer on the Si substrate 1, having an N+ buried layer 5, as prescribed, an aperture is provided on an SiO2 film 9 and an Al electrode 10 is attached. The base resistance of the horizontal type transistor of this constitution can be reduced to the fullest extent by reducing its area to the minimum. Also, when the outside collector CA and the inside collector CB are used independently, the base current does not increase even when the CB is saturated.

COPYRIGHT: (C)1982, JPO&amp;Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑬ 日本国特許庁 (JP)  
⑭ 公開特許公報 (A)

⑮ 特許出願公開  
昭57—58355

⑯ Int. Cl.<sup>3</sup>  
H 01 L 29/72  
29/08

識別記号

庁内整理番号  
7514—5F  
7514—5F

⑰ 公開 昭和57年(1982)4月8日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑱ 横形トランジスタ

⑲ 特 願 昭55—131676  
⑳ 出 願 昭55(1980)9月24日  
㉑ 発 明 者 原外満  
小平市上水本町1450番地株式会

社日立製作所武蔵工場内  
㉒ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
㉓ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 横形トランジスタ

特許請求の範囲

1. 半導体基板をベースとしてその表面に基板と異なる導電型のリング状半導体領域を形成してこれをコレクタとし、コレクタの内側にこれと同心の基板と異なる導電型のリング状半導体領域を形成してエミッタとしたことを特徴とする横形トランジスタ。
2. 上記リング状のエミッタ領域の内側にさらに基板と異なる導電型の半導体領域を形成してこれを第2のコレクタとした特許請求の範囲第1項に記載の横形トランジスタ。
3. n型基板上にp型コレクタ及びp型エミッタを有する特許請求の範囲第1項又は第2項に記載の横形トランジスタ。

発明の詳細な説明

本発明は横形(ラテラル)トランジスタ技術に関する。

モノリシックICにおいて、多くの分野で使用

されているラテラル pnp トランジスタは、第1図に示すように、n型Si<sup>1</sup>基体(実際はp型基板1上にエピタキシャル成長させたn型Si層2)をベースとしてその表面に形成したリング状のp型拡散層8からなるコレクタ8と、リングの内側に形成した円形のp型拡散層からなるエミッタ4により構成される。一般にかかるラテラル pnp トランジスタのベース抵抗「 $r_{bb'}$ 」はエミッタとベースの接触抵抗「 $r_{eB}$ 」及びn型エピタキシャルと「n<sup>+</sup>」型ベースコンタクト部との間の抵抗「 $r_{EP}$ 」の和であり、この「 $r_{bb'}$ 」が高くなることが欠点である。上記のうちエミッタ・ベース接触抵抗「 $r_{eB}$ 」はエミッタ周辺長に反比例する。したがって従来のラテラル pnp トランジスタの構造ではベース抵抗「 $r_{bb'}$ 」を下げるためにエミッタを並列に接続するか、又は極端に寸法を大きくするようにしていた。

又、従来のラテラル pnp トランジスタにおいてコレクタが飽和した場合にベース電流がふえる、すなわちダイオードと同じ状態となることで問題

があった。

本発明は上記した点にかんがみて改善を施したものであり、その目的はラテラルトランジスタの面積を必要最小限にしてしかも十分に低いベース抵抗を実現することにある。

本発明によれば、第2図に示すようにリング状のコレクタ $C_A$ の内側にコレクタと同心のリング状のp型エミッタ $E$ を設け、あるいはさらにそのリング状エミッタ $E$ の内側に第2のp型コレクタ $C_B$ を設けるものであり、これによりエミッタ周辺長を長く(約2倍)にすることで $r_{bb}$ を大幅に低下させる効果を得るものである。なお第2のp型コレクタ $C_B$ は場合によって省略することもあり得る。ベースコンタクト部 $B$ は従来と同様にコレクタ $C_A$ の外側に設ける。

第3図は本発明の一実施例を示し、第8A図は第3図のA-A視断面を示す。同図において、1はp型Si基板、5は $n^+$ 型埋込層、2はn型エピタキシャル層、6は $n^+$ 型拡散によるベースコンタクト部、8、7、8は $p^+$ 型拡散による第1コ

レクタ、エミッタ及び第2コレクタを示す。4は表面酸化による $SiO_2$ 膜、10は各領域にコンタクトするA $\phi$ 電極であって、第8図に示すように外側の領域の電極の一部を欠除させて内側の電極を外側に取出すようにしている。

第4図はこのラテラルpnpトランジスタ( $TR_1$ ,  $TR_2$ )が使用される低雑音アンプ入力段トランジスタ回路を示すもので、この場合コレクタ $C_A$ と $C_B$ は短絡される。このpnpトランジスタのエミッタ周辺長が従来型のトランジスタの約8倍であり、トランジスタの面積は通常のラテラルpnpトランジスタのエミッタを8パラレル接続したものの80%程度となる。このような面積の差はエミッタ周辺長を大きくすればするほど広がるものである。たとえばエミッタ周辺長を12倍にすれば面積は50%に減少する。

第5図はコレクタ $C_A$ をGND(接地)に接続し、コレクタ $C_B$ から出力を取り出す場合の回路の例である。入力がフルスイングして $C_B$ が飽和した場合、 $C_A$ がなければ飽和電流はベースに流

れ、動作点が狂ってしまうが、 $C_A$ がGNDに接続されているので飽和電流は $C_A$ に流れ、ベースの電位は安定に保たれる。第6図に示すように、npnトランジスタのカレントミラーアクティブロードに使用した場合についても上記と同様の効果が得られる。

このように本発明によれば、外側のコレクタ $C_A$ と内側のコレクタ $C_B$ を独立に使用した場合に $C_B$ が飽和してもベース電流が増加しない効果を有する。

本発明は主としてラテラルpnpトランジスタに適用しうるものである。

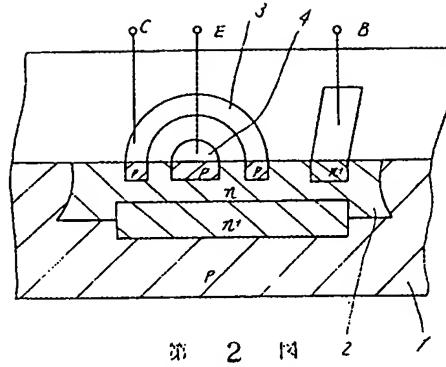
#### 図面の簡単な説明

第1図は従来型のラテラルpnpトランジスタを模式的に示す正面断面斜視図である。第2図は本発明によるラテラルpnpトランジスタの原理的構成を示す平面図、第3図は本発明によるラテラルpnpトランジスタの一実施例を示す平面図、第8A図は第3図におけるA-A断面線、第4図乃至第6図は本発明によるラテラルpnpトラン

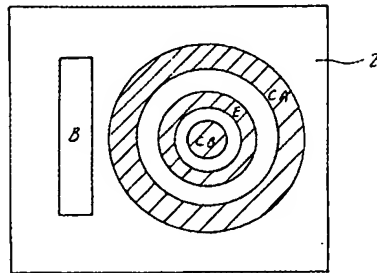
ジスタが使用される応用回路図である。  
1…p型Si基板、2…n型Si層、8…p型拡散リング状コレクタ( $C_A$ )、4…p型拡散エミッタ、5… $n^+$ 型埋込層、6… $n^+$ ベースコンタクト部、7… $p^+$ 型拡散リング状エミッタ、8… $p^+$ 型拡散コレクタ( $C_B$ )、9… $SiO_2$ 膜、10…A $\phi$ 電極。

代理人 弁理士 薄田 利幸

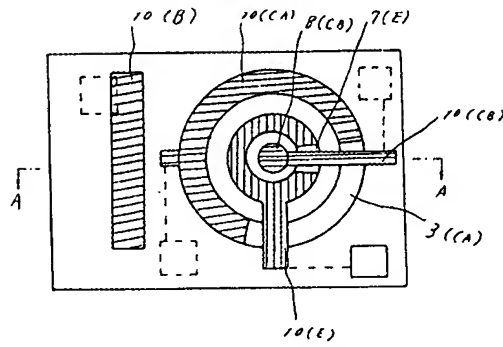
第 1 図



第 2 図



第 3 図



第 3 A 図

